

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-138399

(43)Date of publication of application : 31.05.1996

(51)Int.Cl. G11C 29/00
 H01L 21/82
 H03K 19/00
 // H01L 21/8244
 H01L 27/11

(21)Application number : 06-298862

(71)Applicant : HITACHI LTD
 HITACHI VLSI ENG CORP

(22)Date of filing : 07.11.1994

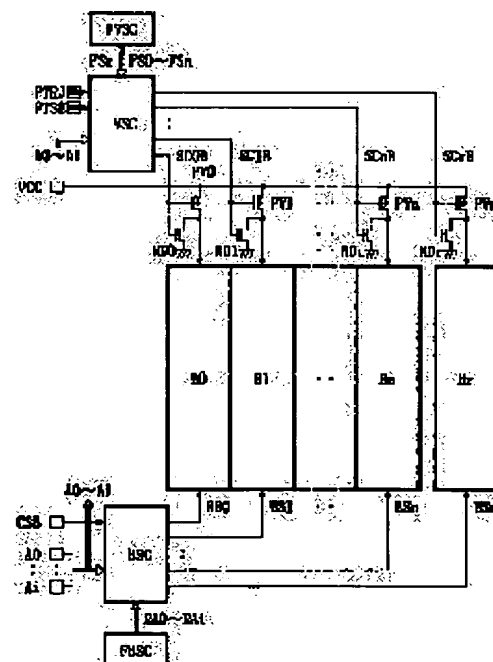
(72)Inventor : MAKUTA KIICHI
 NOJIRI TATSUO
 FUKAZAWA TAKESHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a static RAM in which incorrect DC current, e.g. incorrect stand-by current, can be repaired while increasing the fabrication yield and the incorrect DC current can be analyzed sufficiently.

CONSTITUTION: In a static RAM having a plurality of memory mats, the internal circuit is divided into a plurality of function blocks BO-Bn using the memory mat as a unit, for example. The function blocks BO-Bn are provided with individual power supply paths connected with switches MOSFETs PV0-PVn which are turned off selectively under test mode for deciding a defective block, i.e., a block in which incorrect DC current is generated. A redundant block Br for repairing a block in which an incorrect DC current is detected is also provided and the switches MOSFETs PV0-PVn and PVr are turned off selectively and simultaneously under a test mode for deciding whether the defect can be repaired by means of the redundant block Br.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(54)【発明の名称】半導体装置

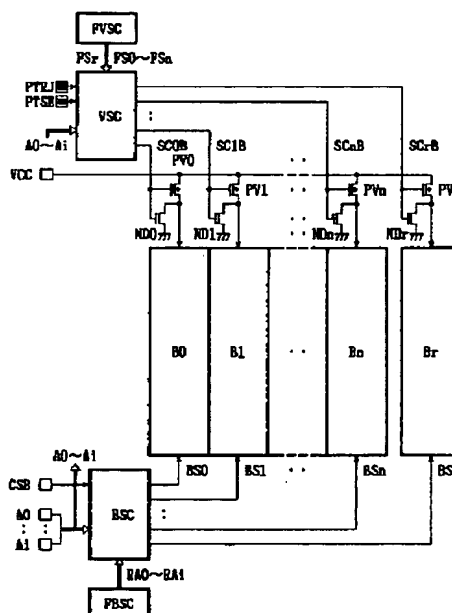
特開平8-138399

(43)公開日 平成 8年(1996) 5月31日

審査請求 未請求 請求項の数 5

【特許請求の範囲】

図1 半導体装置の基本構成図(実施例1)



る。

【請求項1】 複数の機能ブロックと、上記機能ブロッ

1

クに対応して設けられ対応する上記機能ブロックの実質的な電源供給経路を選択的に切断しうる複数のスイッチ手段とを具備することを特徴とする半導体装置。

【請求項2】 上記スイッチ手段は、上記機能ブロックの直流電流不良を判定するための不良ブロック判定テストモードにおいて選択的にオフ状態とされるものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記半導体装置は、上記複数の機能ブロックのうち直流電流不良が検出された機能ブロックと選択的に置き換えられる所定数の冗長ブロックを含むものであることを特徴とする請求項2の半導体装置。

【図面の簡単な説明】

【図1】 この発明が適用された半導体装置の第1の実施例を示す基本構成図である。

【図2】 図1の半導体装置における試験制御信号及び電源供給制御信号の一実施例を示す論理条件図である。

【図3】 この発明が適用された半導体装置の第2の実施例を示す部分的な基本構成図である。

【図4】 この発明が適用された半導体装置の第3の実施例を示す部分的な基本構成図である。

【図5】 この発明が適用された半導体装置の第4の実施例を示す部分的な基本構成図である。

【図6】 この発明を応用してなるスタティック型RAMの一実施例を示すブロック図である。

【図7】 図6のスタティック型RAMに含まれるメモリアレイ及び周辺部の一実施例を示す部分的な回路図である。

【図8】 図6のスタティック型RAMに含まれるマットヒューズ回路及び負荷制御回路の一実施例を示す回路図である。

【図9】 図6のスタティック型RAMに含まれる冗長マット選択回路の一実施例を示す回路図である。

【符号の説明】

B0～Bn・・・機能ブロック、Br・・・冗長ブロック、BSC・・・ブロック選択回路、FBSC・・・冗長ブロック選択用ヒューズ回路、VSC・・・電源供給制御回路、FVSC・・・電源供給制御用ヒューズ回路、PTRJ・・・救済可否判定テスト用パッド（救済可否判定テスト信号）、PTSE・・・不良ブロック判定テスト用パッド（不良ブロック判定テスト信号）、VCC・・・電源電圧供給端子、CSB・・・チップ選択信号入力端子、A0～Ai・・・アドレス入力端子、SC0B～SCnB、SCrB、SC0～SCn、SCr・・・電源供給制御信号、BS0～BSn、BSr・・・ブロック選択信号、PV0～PVn、PVR・・・PチャンネルMOSFET、NV0～NVn、NVR、ND0～NDn、NDR、・・・NチャンネルMO

2

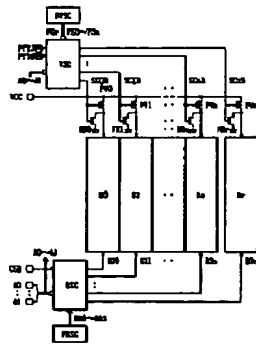
【請求項4】 上記スイッチ手段は、上記冗長ブロックによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的にかつ一斉にオフ状態とされるものであることを特徴とする請求項3の半導体装置。

【請求項5】 上記半導体装置は、メモリ集積回路であり、上記機能ブロックは、メモリマットであって、上記スイッチ手段は、ビット線又は共通データ線の負荷手段又はイコライズ手段として設けられるMOSFETを含むものであることを特徴とする請求項1、請求項2、請求項3又は請求項4の半導体装置。

SFET、VV0～VVn、VVR・・・インバータ。MAT0～MAT63・・・メモリマット、MATR0～MATR3・・・冗長メモリマット、MARY・・・メモリアレイ、WD・・・サブワード線駆動回路、BL・・・ビット線負荷回路、LC・・・負荷制御回路、YG・・・Yゲート、GD・・・Yゲート駆動回路、WG・・・書き込みゲート、SA・・・センスアンプ、AD・・・アンプ駆動回路、XD・・・Xアドレスデコーダ、XB・・・Xアドレスバッファ、YD・・・Yアドレスデコーダ、YB・・・Yアドレスバッファ、X0～X7、Y0～Y8・・・内部アドレス信号、MF・・・マットヒューズ回路、MS・・・マット選択回路、MS0～MS63・・・マット選択信号、RS・・・冗長マット選択回路、MSR0～MSR3・・・冗長マット選択信号、DIB0～DIB7・・・入力データバス、DOB0～DOB7・・・出力データバス、WA・・・ライトアンプ、IB・・・データ入力バッファ、OB・・・データ出力バッファ、TG・・・タイミング発生回路、WEB・・・ライトイネーブル信号入力端子、OEB・・・出力イネーブル信号入力端子、AX0～AX7・・・Xアドレス信号入力端子、AY0～AY8・・・Yアドレス信号入力端子、IO0～IO7・・・データ入出力端子。MC・・・高抵抗負荷型スタティックメモリセル、R1～R2・・・抵抗、SW0～SW255・・・サブワード線、B0*～B63*・・・相補ビット線、MVCC・・・メモリセル電源電圧供給線、YS0*～YSn*・・・相補ビット線選択信号、CD0*～CD7*・・・相補共通データ線。UMF0～UMF63、UMFR0～UMFR3・・・単位マットヒューズ回路、G1・・・複合ゲート。URS0～URS3・・・単位冗長マット選択回路。P1～PN・・・PチャンネルMOSFET、N1～N9・・・NチャンネルMOSFET、T1～T2・・・トランスファゲート、NO1～NO2・・・ノア（NOR）ゲート、NA1～NA3・・・ナンド（NAND）ゲート、V1～VA・・・インバータ、F1～F3・・・ヒューズ。

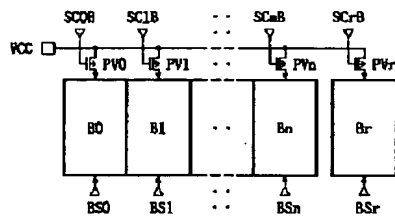
【図1】

図1 本装置の構成図 (実施例1)



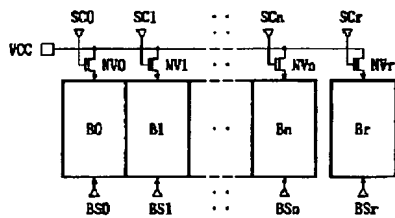
【図3】

図3 半導体装置の基本構成図 (実施例2)



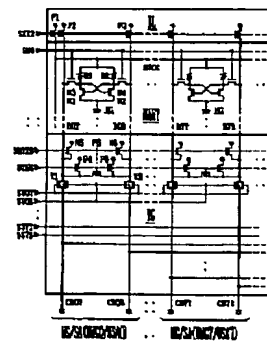
【図5】

図5 半導体装置の基本構成図 (実施例4)



【図7】

図7 ノードレベルの回路図



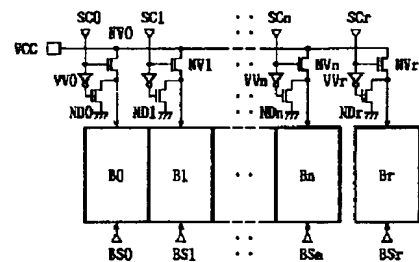
【図2】

図2 試験制御信号・電源供給制御信号の論理条件

項目	PTL1	PT3B	SC0B	SC1B	...	SCnB	SCrB
電源可否判定	H	L	H	H	...	H	H
Test/EO不良判定	L	H	H	H	...	H	H
Test/BI	-	L	H	H	...	H	H
...
Test/En	-	L	H	H	...	L	H
Test/BI3-OF50-40	L	L	H	L	...	L	L
Test/BI3-OF51-40	L	L	L	H	...	L	L
...
Test/BI3-OF50-40	L	L	L	L	...	H	L

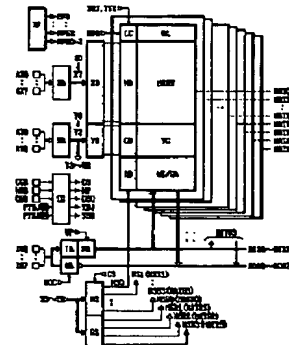
【図4】

図4 半導体装置の基本構成図 (実施例3)



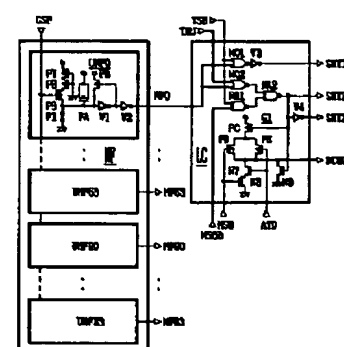
【図6】

図6 スパイスシミュレーション結果 (実施例)

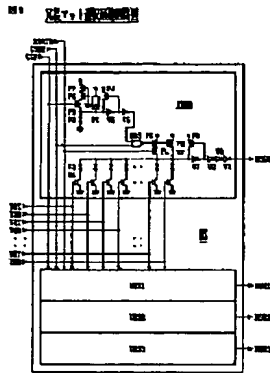


【図8】

図8 マットとユーザ回路及び制御回路図



【図9】



【第1ページ書誌事項の続き】

- (71) 出願人 日立超エル・エス・アイ・エンジニアリング株式会社
東京都小平市上水本町5丁目20番1号